

简介

典型应用

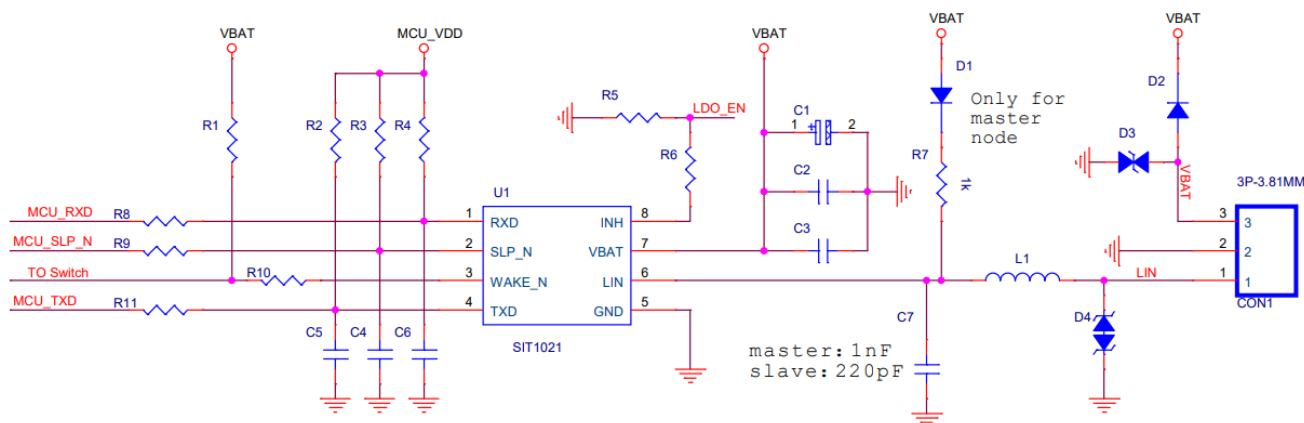


图 1-1

如上图 1-1 是 SIT1021 应用的外围电路设计。

1. D1、D2 为防反接二极管，C1、C2、C3 为收发器去耦储能电容，滤掉电源中的干扰，提高收发器工作的稳定性；C1 可根据设计需求选用大容量的电容（如 47 μ f 或者更大），C2 一般用 10 μ F，C3 一般用 100nf，靠近芯片引脚放置。

2. 如果作主节点使用 LIN 脚 C7 电容推荐用 1nF, R7 用 1K 电阻, D1 接二极管, 作从节点使用 LIN 脚 C7 电容推荐用 220pF, D1、R4 不接。建议 LIN 总线上串一个磁珠 (L1), 增强系统 EMC 性能, 还可吸收 ESD 尖峰电流, 推荐磁珠型号为: MMZ1608S202ATD25。

3. 引脚 3 (SLP_N) 是一个输入引脚，用于将收发器置于低功耗睡眠模式。如果不使用此功能，则通过使用 $1\text{k}\Omega\sim 10\text{k}\Omega$ 之间的上拉串联电阻 (R3) 将引脚连接到 MCU 的 VDD。此外，可以在引脚上放置一个值为 $10\Omega\sim 1\text{k}\Omega$ 的串联电阻 (R9)，以在过电压故障的情况下限制数字线路上的电流。一个值为 $100\text{nF}\sim 1\mu\text{F}$ 的接地电容 (C4) 可以放置在收发器的输入引脚附近，以帮助过滤噪声。

4. **RXD** 开漏输出，建议外部增加上拉电阻（**R4**），上拉电阻值应在 2.4k Ω 到 10k Ω 之间。此外，可放置一个值为 10 Ω ~1k Ω 的串联电阻（**R8**），在引脚过电压的时候，以限制收发器的输入电流。一个值为 100pF~1nF 的接地电容（**C6**）可以放置在收发器的输入引脚附近，以帮助过滤噪声。

5. TXD 引脚是从控制器发送输入信号到收发器。可放置一个值为 $10\Omega\sim 1k\Omega$ 的串联电阻 (R11),

在引脚过电压的时候，以限制收发器的输入电流。一个值为 100pF~1nF 的接地电容（C5）可以放置在芯片的输入引脚附近，以帮助过滤噪声。

6. WAKE 引脚：To Switch 对地，用于实现本地 WAKE 事件。需要串联电阻 R10（33kΩ）来防止过流情况，以限制进入 WAKE 的电流。上拉电阻 R1（3.3kΩ）需要提供足够的唤醒事件所需的电流。

7. TVS 可以使总线具备更高的抗静电能力。芯片内部集成 ESD 保护器件，为了更好的抗静电效果，建议在 LIN 总线上加上 TVS。

TVS 选型原则：

- 1) 静电防护能力需达到要求级别；
- 2) VRWM 最大反向工作电压为 24V；
- 3) 寄生电容不能太大，结合节点数量考虑，整个总线对地的等效电容不超过 6.8nF 为最佳。

我司主推型号为：SITNW24V1BNQ-2/TR（SOD-323）、SITNE24V2BNQ-3/TR（SOT-23），

其次 SITNC1524Q（SOD-323）、SIT2105LQ（SOT-23）也可以。

PCB LAYOUT

为了更好地应用 SIT1021，在 PCB LAYOUT 时，需注意如下问题：

- ❖ 总线信号 LIN 其长度不应超过 10cm。
- ❖ ESD 保护器件应靠近 ECU 连接器总线连接端。
- ❖ VBAT、SLP_N、TXD 和 RXD 输入/输出电容应靠近收发器引脚，走线尽量短。
- ❖ 通信控制器和收发器之间的连线长度应尽量短。
- ❖ 通信控制器和收发器之间接地阻抗应尽可能低。
- ❖ 避免在通信控制器与收发器的地之间使用滤波器元件，收发器和通信控制器的地必须相同。
- ❖ 避免其他的信号线与 LIN 平行布线，可能会有噪声注入 LIN 总线，影响总线通信。
- ❖ 去耦电容以及芯片接地至少使用两个过孔，以尽量减少走线和过孔电感。

注：如下 LIN 产品应用可参照此应用手册。

U1 - Only pin 8 is suspended: SIT1021NQ。

U1 - Only pin 3 and pin 8 are suspended: SIT1027Q 、SIT1029Q